

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-206920

(43)Date of publication of application : 28.07.2000

(51)Int.Cl. G09G 3/20
G02F 1/133
G02F 1/1368
G09F 9/30
G09G 3/36

(21)Application number : 2000-047100

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 07.06.1991

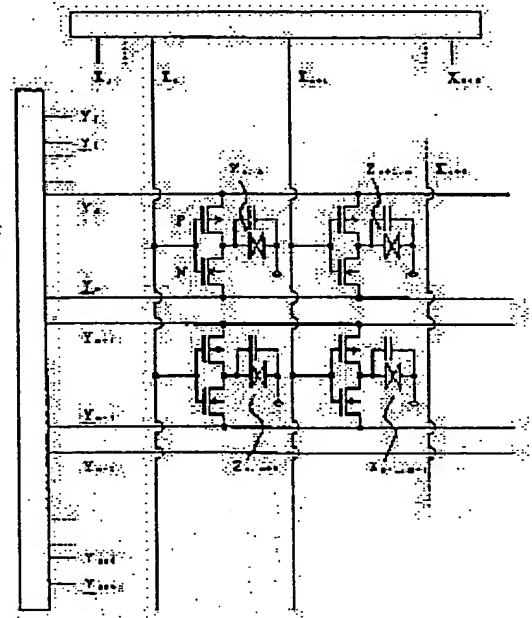
(72)Inventor : YAMAZAKI SHUNPEI
MASE AKIRA
HIROKI MASAOKI
TAKEMURA YASUHIKO

(54) ELECTRO-OPTIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a gradation display with 256 steps or more by pure digital control, by providing this device with an inverter consisting of each specific NTFT(N-channel Thin Film Transistor) and PTFT.

SOLUTION: An active matrix circuit uses an inverter circuit where an NTFT and a PTFT operate complementarily. Gate electrodes of NTFT and PTFT are connected with a signal line X_n , and one or the other of a source or a drain is connected with a picture element $Z_{n,m}$, and the other is connected with signal lines $-Y_m$, Y_m . And NTFT has a channel area, a semiconductor layer provided with plural N-type impurity area, a gate insulating film provided thereon, and a gate electrode provided further thereon and superimposing at least one of the Ntype impurity. And PTFT has the channel area, the semiconductor layer provided with plural N-type impurity area, the gate insulating film provided thereon, and the gate electrode provided thereon.



LEGAL STATUS

[Date of request for examination] 23.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

Japanese Publication for Unexamined Patent Application

No. 206920/2000 (Tokukai 2000-206920)

(A) Relevance to claim

This document has relevance to claim 1 of the present application..

(B) Translation of the Relevant Passages of the Document

[WHAT IS CLAIMED IS]

[CLAIM 1]

An electro-optic device, in which an inverter is provided, comprising an N-channel Thin Film Transistor and a P-channel Thin Film Transistor, wherein: the N-channel Thin Film Transistor includes: a channel area; a semiconductor layer provided with plural N-type impurity area; a gate insulating film provided thereon; and a gate electrode provided further thereon and superimposing at least one of the N-type impurity, and the P-type Thin Film Transistor includes: a channel area; a semiconductor layer provided with plural P-type impurity area; a gate insulating film provided thereon; and a gate electrode provided thereon.

This Page Blank (uspto)

(10) 日本国特許庁 (P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-206920

(P2000-206920A)

(53) 公開日 平成12年7月23日 (2000.7.23)

| (61) In.CI. | 識別記号 | F I | トランプ(参考) |
|--------------|-------|---------------|---------------------|
| G 0 8 G 3/20 | 6 2 3 | G 0 8 G 3/20 | 6 2 3 B |
| G 0 2 F 1/33 | 5 5 0 | G 0 2 F 1/33 | 5 5 0 |
| 1/1388 | | G 0 8 F 8/30 | 3 3 8 |
| G 0 8 F 9/30 | 3 3 8 | G 0 8 G 3/26 | |
| G 0 8 G 3/26 | | G 0 2 F 1/136 | 5 0 0 |
| | | 審査請求 有 | 請求項の表 9 OL (全 14 頁) |

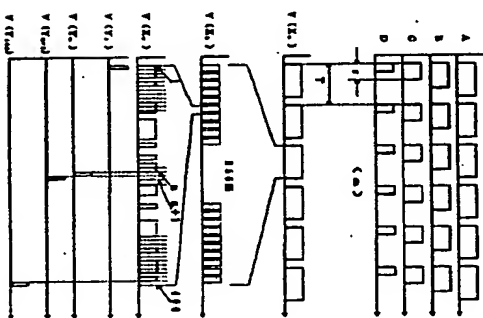
(21) 出願番号 特開2000-47100(P2000-47100)
 (22) 分割の表示 特開9-183971の分割
 (22) 出願日 平成3年6月7日(1991.6.7)

(71) 出願人 000153978
 株式会社半導体エレクトロニクス研究所
 神奈川県横浜市青葉区388番地
 (72) 発明者 山崎 昇平
 神奈川県横浜市青葉区388番地株式会社半導体エレクトロニクス研究所内
 (72) 発明者 田嶋 晃
 神奈川県横浜市青葉区388番地株式会社半導体エレクトロニクス研究所内
 (72) 発明者 △ビウ▼木 正明
 神奈川県横浜市青葉区388番地
 (72) 発明者 竹村 保彦
 神奈川県横浜市青葉区388番地株式会社半導体エレクトロニクス研究所内

(54) 発明の名称 電気光学装置

(67) [要約]
 [課題] 電気光学装置に用いるインバータ回路に関する。

[解決手段] インバータのNチャネル型薄膜トランジスタは、チャネル領域と、複数のN型の不純物領域が設けられた半導体層と、前記半導体層上に設けられたゲイト絶縁膜と、前記ゲイト絶縁膜上に設けられ、かつ前記N型の不純物の少なくとも1つと重なっているゲイト電極とを有する。またインバータ回路のPチャネル型薄膜トランジスタは、チャネル領域と、複数のP型の不純物領域が設けられた半導体層と、前記半導体層上に設けられたゲイト絶縁膜と、前記ゲイト絶縁膜上に設けられたゲイト電極と、を有する。



[特許請求の範囲]

【請求項1】 Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタとでなるインバータを有する電気光学装置において、

前記Nチャネル型薄膜トランジスタは、
 チャネル領域と、複数のN型の不純物領域が設けられた半導体層と、
 前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられ、かつ前記N型の不純物の少なくとも1つと重なっているゲイト電極と、を有し、
 前記Pチャネル型薄膜トランジスタは、
 チャネル領域と、複数のP型の不純物領域が設けられた半導体層と、

前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられたゲイト電極と、を有することを特徴とする電気光学装置。

【請求項2】 Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタとでなるインバータを有する電気光学装置において、前記Nチャネル型薄膜トランジスタは、
 チャネル領域と、複数のN型の不純物領域が設けられた半導体層と、
 前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられたゲイト電極と、前記Pチャネル型薄膜トランジスタは、
 チャネル領域と、複数のP型の不純物領域が設けられた半導体層と、

前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられ、かつ前記P型の不純物の少なくとも1つと重なっているゲイト電極と、を有することを特徴とする電気光学装置。

【請求項3】 Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタとでなるインバータを有する電気光学装置において、前記Nチャネル型薄膜トランジスタは、
 チャネル領域と、複数のN型の不純物領域が設けられた半導体層と、
 前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられ、かつ前記N型の不純物の少なくとも1つと重なっているゲイト電極と、前記Pチャネル型薄膜トランジスタは、
 チャネル領域と、複数のP型の不純物領域が設けられた半導体層と、

前記半導体層上に設けられたゲイト絶縁膜と、
 前記ゲイト絶縁膜上に設けられ、かつ前記P型の不純物の少なくとも1つと重なっているゲイト電極と、を有することを特徴とする電気光学装置。

【請求項4】 請求項1～3のいずれか1項において、前記Nチャネル型薄膜トランジスタのチャネル領域は、ホリ線の幅が1×10¹⁵～1×10¹⁸cm⁻³の範囲で

あることを特徴とする電気光学装置。

【請求項5】 請求項1～3のいずれか1項において、前記Pチャネル型薄膜トランジスタのチャネル領域は、ホリ線の幅が1×10¹⁵～1×10¹⁸cm⁻³の範囲であることを特徴とする電気光学装置。

【請求項6】 請求項1～5のいずれか1項において、平坦化膜が前記インバータを覆っていることを特徴とする電気光学装置。

【請求項7】 請求項6において、前記平坦化膜はポリイミドであることを特徴とする電気光学装置。

【請求項8】 請求項1～7のいずれか1項に記述の電気光学装置を用いたことを特徴とするプロジェクション型表示装置。

【請求項9】 請求項1～7のいずれか1項に記述の電気装置を用いたことを特徴とするテレビ。

【発明の詳細な説明】

【0001】

【発明の利用分野】 本発明は、駆動用スイッチング素子として薄膜トランジスタ (以下TFTという) を使用した液晶電気光学装置における画像表示方法において、特に中間的な色調や濃淡の表現を得るための階層表現方法に関するものである。本発明は、特に、外部から与えられる信号値をもとに、いわゆる完全デジタル階層表示に関するものである。

【0002】

【従来の技術】 液晶組成物はその物質特性から、分子軸に対して水平方向と垂直方向に誘電率が異なるため、外部の電圧に対して水平方向に配列したり、垂直方向に配列したりさせることが容易にできる。液晶電気光学装置は、この誘電率の異方性を利用して、光の透過量または反射率を制御することによってON/OFF、すなわち明暗の表示をおこなっている。液晶材料としては、TN (ツイステッド・ネマティック) 液晶、STN (スーパー・ツイステッド・ネマティック) 液晶、強誘電性液晶、ホリヤー液晶あるいは分散型液晶とよばれる材料が知られている。液晶は外部電圧に対して、無闇に配列方向に変化するのではなく、応答するまでにある一定の時間がかかることが知られている。その値はそれぞれの液晶材料に固有で、TN液晶の場合には、数10ms程度、STN液晶の場合には、数100ms程度、強誘電性液晶の場合には、数10μs程度、分散型あるいはホリヤー液晶の場合には、数10ms程度である。

【0003】 液晶を利用した電気光学装置のうちでもっとも優れた画質が得られるものは、アクティブマトリクス方式を用いたものであった。従来のアクティブマトリクス型の液晶電気光学装置では、アクティブ素子として薄膜トランジスタ (TFT) を用い、TFTにはアモルファスまたは多結晶型の半導体を用い、1つの画素にP型またはN型のいずれか一方のTFTを用い、

(5)

て、液晶セルに与えられた電圧は保持される。その後、 X_1 には、 V_L あるいは V_H の電圧が与えられるが、どちらの電圧が与えられた場合であっても、この回路は動作しない、したがって、液晶セルに与えられた電圧は保持される。この状態は、少なくとも、次に Y_1 が V_H に、 X_1 が V_L になるまで持続する。同様に、 Z_1 も $Z_1, n+1$ も $Z_1, 400$ も、電圧状態となる。その状態を保持することとなる。

10023] このようにして、パルスが順次に印加され、 Y_n に印加された場合を考える。今、4つの画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ 、 $Z_{n+1,m+1}$ に注目して、 X_n および X_{n+1} の第1のパルスのm番目および $(m+1)$ 番目に注目すれば、 X_n も X_{n+1} も番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧(充電)状態になる。一方で、 Y_{n+1} にパルスが印加される。 X_n も X_{n+1} も $(m+1)$ 番目は V_L なので、この場合も画素 $Z_{n,m+1}$ 、 $Z_{n+1,m+1}$ は充電状態となる。

10024] 次に、図では省略されているが、第2のパルスが来たものとする。このとき、 X_n も X_{n+1} も番目および $(m+1)$ 番目が V_L ならば、充電状態がなくならず、以上4つの画素は引き続き電圧状態を保持する。その後、第 $(n-1)$ のパルスまでは、4つの画素とも電圧状態が保持したものである。

10025] 次に、サブパルスが進んで、第nのサブパルスが来たものとする。図では省略されるためにm番目および $(m+1)$ 番目以外は省略した。このとき、 X_n も X_{n+1} も番目は V_L なので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ は電圧状態を保持する。しかし、 X_{n+1} には $(m+1)$ 番目が V_H であるので、画素 $Z_{n+1,m+1}$ は電圧状態が保持するものの、画素 $Z_{n+1,m+1}$ は、フタインジウム出力が電圧状態ではなくなり、与えられていた電圧が放たれ、電圧状態は中和される。

10026] さらに、第1のサブパルスが来たときには、 X_n の $(m+1)$ 番目は V_H となつたので、 $Z_{n,m+1}$ の充電状態は解除される。以下、第1および第kのサブパルスにおいて、それぞれ、 X_{n+1} 、 X_n のm番目が V_H となつたので、画素 $Z_{n,m}$ 、 $Z_{n+1,m}$ の充電状態がそれぞれ、第k、第1のサブパルス中に中和される。このようにして、各画素ごとに電圧状態の時間を周期的にコントロールできる。

10027] このような動作を繰り返すことにより、各画素に加わる電圧パルスの幅を図1(A)のように任意に制御することができる。

10028] 以上の説明が示すように、本発明を実施するにあたっては、上記のようなサブパルスは、明確に定義できるパルス状のものであればならないわけではなく、説明を簡単にするために、サブパルスという概念を持ち出したが、特に、サブパルスとサブパルスの

間が明確でなく、信号としては、ほとんど境界のないものであっても、本発明を実施することはあきらかである。さらに、説明をわかりやすくするために、信号のレベルと電圧レベルを明確にしたが、これは、液晶あるいはPTFTのしきい値電圧以下であるか、以上であるかという問題だけであるので、絶対にゼロである必要はない。また、電圧とは任意の点の電位を基準とした相対的な値であるので、以上の例において、パルスは逆の極性を付するものであっても、構わないことは明らかである。さらに、画素の方向電圧に相当なオフセット電圧を加えても構わない。また、以上の例では、画面は1行づつ順次に走査されていたが、最初 Y_1 、 Y_3 、 Y_5 ... というように走査し、その後、 Y_2 、 Y_4 、 Y_6 ... というように走査する、いわゆる飛び出し走査法も可能であることは言うまでもない。

10029]

【実施例1】 本実施例では図4に示すような回路構成を用いた液晶表示装置を用いて、駆動シフトは、レーザーミールを用いた多結晶シリコンとした。

10030] この回路構成に対する実際の電圧等の配置構成を1つの画素について、図5に示す。まず、本実施例で使用する液晶パネルの作製方法を図6を参照して説明する。図6(A)において、石英ガラス等の基板に約700℃以下、例えば約600℃の熱処理に耐えられるガラス50Å上にアモルファスシリコン(RF(高周波)スパッタ法を用いてフロンシリコン層1として形成し、その厚さを約1000Å〜3000Åの厚さに作製する。プロセス条件は酸素100%雰囲気、成膜温度150℃、出力400〜800W、圧力0.5Paとした。ターゲットに石英または結晶シリコンを用いた成膜速度は30〜100Å/分であった。

10031] この上にシリコン膜をプラズマCVD法により結晶膜2を作製した。成膜温度は250℃〜350℃で行い、本実施例では320℃とし、モノシラン(SiH₄)を用いた。モノシラン(SiH₄)に限らず、ジシラン(Si₂H₆)またはトリシラン(Si₃H₈)を用いてもよい。これをP-CVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.02〜0.10W/cm²が適当であり、本実施例では0.05W/cm²を用いた。また、モノシラン(SiH₄)の流量は20SCCMとし、その時の成膜速度は約120Å/分であった。PTFTとNTFTとのため、ホリソースをプラズマを用いて1×10¹⁵〜1×10¹⁶cm⁻³の濃度として成膜中に添加してもよい。またPTFTのチャネル領域となるシリコン層の成膜にはこのプラズマCVDだけでなく、スパッタ法、熱CVD法を用いてもよく、以下にその方法を簡単に述べる。

(6)

10032] スパッタ法で行う場合、スパッタ前のシリコンを1×10¹⁵Pa以下とし、単結晶シリコンをターゲットとして、アルゴンに水素を20〜80%導入した雰囲気で行った。例えばアルゴン20%、水素80%とした。成膜速度は160℃、周波数は13.56MHz、スパッタ出力は400〜800W、圧力は0.5Paであった。

10033] 減圧気相法で形成する場合、結晶化温度よりも100〜200℃低い450〜650℃、例えば530℃でジシラン(Si₂H₆)またはトリシラン(Si₃H₈)をCVD装置に供給して成膜した。反応室内圧力は30〜300Paとした。成膜速度は50〜250Å/分であった。PTFTとNTFTとのシリコン層をホリソース(V_H)を抵抗層に形成するため、ホリソースをプラズマを用いて1×10¹⁵〜1×10¹⁶cm⁻³の濃度として成膜中に添加してもよい。

10034] これらの方法によって形成された結膜は、結膜が6×10²¹cm⁻³以下であることが好ましい。結晶化を助長させるためには、成膜速度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁸cm⁻³以下とすることが望ましいが、少なすぎると、パツクラフトによりリフト状態のリフト電圧が増加してしまうため、この濃度を選択する。この成膜速度が高いと、結膜化させていく、レーザーミール濃度を高くまたはレーザーミール時間を長くしなければならぬ。水素は4×10²⁰cm⁻³であり、圧力は4×10²²cm⁻³として成膜すると1原子%であった。

10035] また、ソース、ドレインに対してより結膜化を助長させるため、成膜速度を7×10¹⁹cm⁻³以下、好ましくは1×10¹⁸cm⁻³以下とし、ヒゲセル構成するPTFTのチャネル形成領域の外に成膜をイオン注入により5×10²⁰〜5×10²¹cm⁻³となるように添加してもよい。上記方法によって、アモルファス状態の結膜を500〜5000Å、本実施例では1000Åの厚さに成膜した。

10036] その後、フタインジウムをスパッタPIを用いてソース、ドレイン領域のみ開孔したパターンを形成した。その上に、プラズマCVD法によりp型の活性層として結晶膜4を作製した。成膜温度は250℃〜350℃でよいが、本実施例では320℃とし、モノシラン(SiH₄)とトリシラン(Si₃H₈)のプラズマを用いた。これをP-CVD装置内に3Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05〜0.20W/cm²が適当であり、本実施例では0.120W/cm²を用いた。

10037] この方法によって出来上がった型シリコン層の比電率率は1×10⁻¹(10cm⁻¹)程度となった。膜厚は50Åとした。こうして、図6(A)を得た。その後リフトオフ法を用いて、レジスト3を除去し、ソース、ドレイン領域5、56を形成した。

10038] 同様のプロセスを用いて、p型の活性層を形成した。その際の導入ガスは、モノシラン(SiH₄)とトリシラン(Si₃H₈)のプラズマ(例)5%濃度のものを用いた。これをP-CVD装置内に4Paの圧力で導入し、13.56MHzの高周波電力を加えて成膜した。この際、高周波電力は0.05〜0.20W/cm²が適当であり、本実施例では0.120W/cm²を用いた。この方法によって出来上がったp型シリコン層の比電率率は5×10⁻²(10cm⁻¹)程度となった。膜厚は50Åとした。こうして、図6(B)を得た。その後N型領域と同様にリフトオフ法を用いて、ソース、ドレイン領域5、6を形成した。その後、アモルファスシリコン層5、6をエッチング除去し、Nチャネル型領域トラパシタ用アモルファスシリコン層6.3とPチャネル型領域トラパシタ用アモルファスシリコン層6.4を形成した。

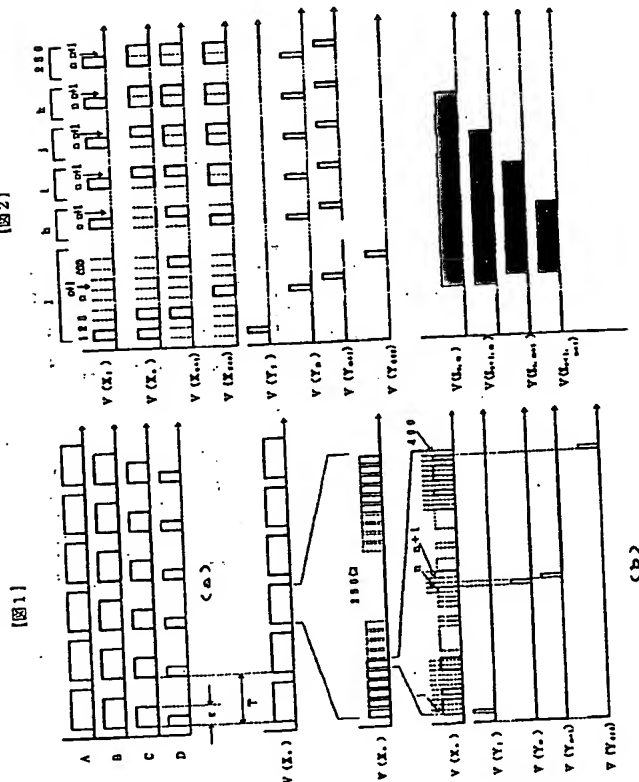
10039] その後、図6(C)に示すように、X、C、I、エキシマレーザーを用いて、ソース、ドレイン、チャネル領域をレーザーミールすると同時に、活性層にレーザードーピングを行なった。この時のレーザーエネルギーは、成膜エネルギーが1300mJ/cm²で、膜厚全体が溶融するには220mJ/cm²が必要となる。しかし、最初から220mJ/cm²以上のエネルギーを照射すると、膜中に含まれる水素が急激に放出されるために、膜の破壊が起る。そのために低エネルギーで最初に水素を追い出した後に加熱させる必要がある。本実施例では最初150mJ/cm²で水素の追い出しを行なった後、230mJ/cm²で結晶化をおこなった。

10040] この上に酸化珪素膜をスパッタ結膜として500〜2000Å例えば1000Åの厚さに形成した。これはフロンシリコン層としての酸化珪素膜の作製と同一条件とした。この成膜中に酸素を少量添加し、シリカインジウムの固定化をさせてもよい。

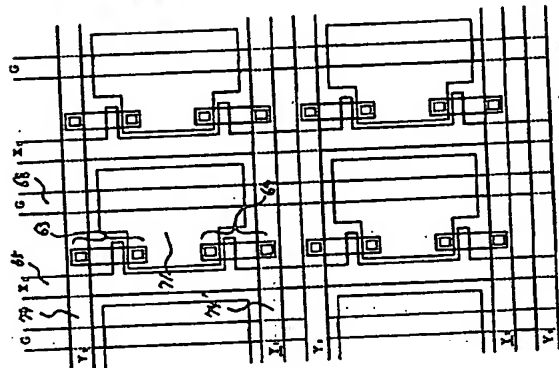
10041] この後、この上にシリコンが1〜5×10²¹cm⁻³の濃度に入ったシリコン膜またはこのシリコン膜とそれの上にシリチン(例)、タンタリウム(例)、タングステン(例)の多層膜を形成した。これを第4のフタインジウムP4にてパターニングして図6(D)を得た。NTFT用のゲイト電極6.6、PTFT用のゲイト電極6.7を形成した。例えばチャネル長7μm、ゲイト電極としてシリコン層を0.2μm、その上にシリチンを0.3μmの厚さに形成した。同時に、図7(D')に示すように、ゲイト電極6.5とそれに並行して配置された配線6.8はパターニングした。

10042] また、ゲイト電極材料としては、上記材料以外に、例えばアルミニウム(A1)も使用することができる。アルミニウムを用いた場合、これを第4のフタインジウムP4にてパターニング後、その表面を酸蝕化することによって、セルフアライン工法が適用可能なため、ソース、ドレインのコンタクトホールをよりゲートに近い

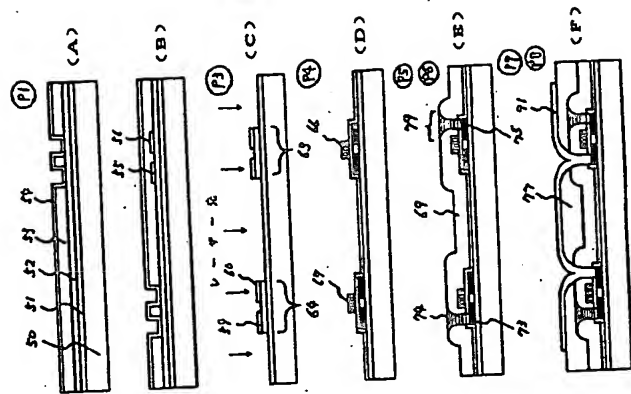
(11)



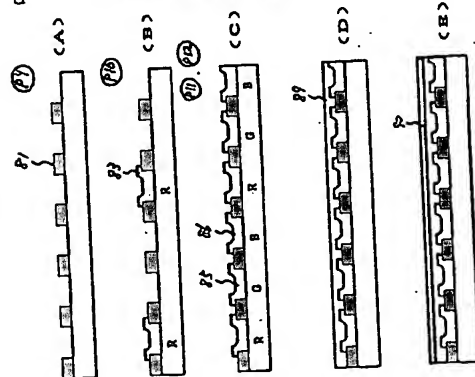
(图 5)



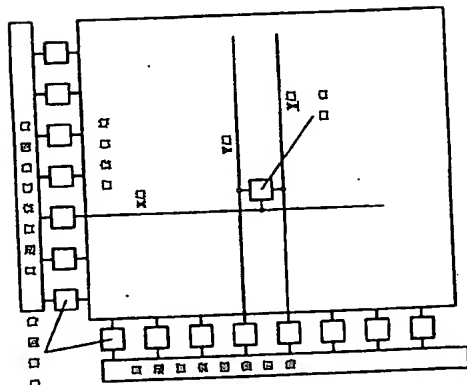
(图 6)



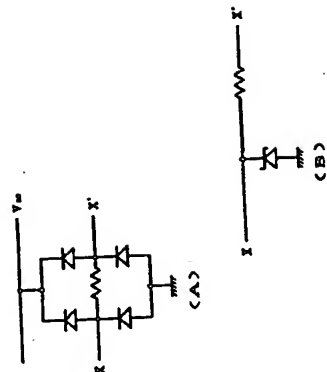
(图 8)



(图 10)



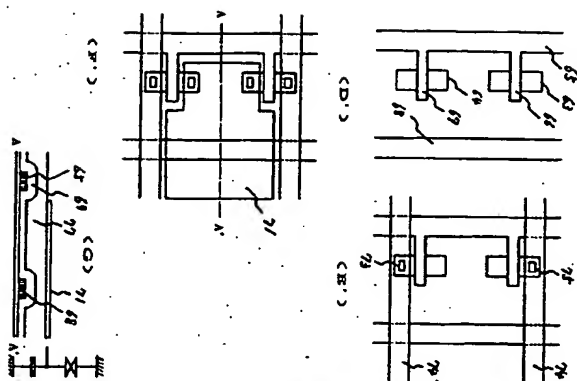
(图 12)



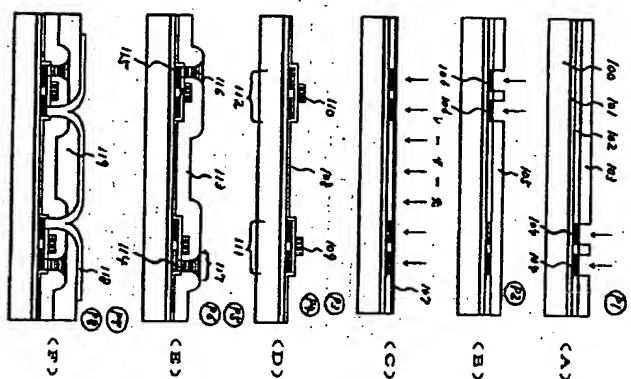
(12)

(13)

【图7】

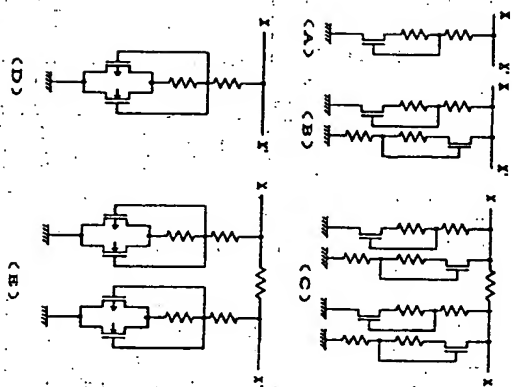


【例9】



(14)

[1 1]



This Page Blank (uspto)